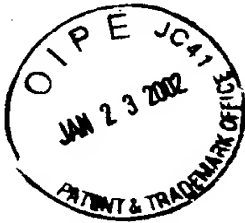


09/943371



COPY OF PAPERS
ORIGINALLY FILED

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le

Le Directeur général de l'Institut
national de la propriété industrielle
Le Directeur de l'Institut

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIÈGE

15, rue de Valenciennes
93546 La Plaine Saint-Denis
France
Tél. 01 49 38 38 38
Fax 01 49 38 38 39
www.inpi.fr

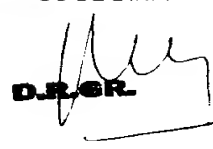


Réservé à l'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES DATE: 30 AOÛT 2000 LIEU: 38 INPI GRENOBLE N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI: 0011075 DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI: 30 AOÛT 2000		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Cabinet Michel de Beaumont 1 rue Champollion 38000 GRENOBLE	
Vos références pour ce dossier (facultatif) B4721			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de Brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale N° ou demande de certificat d'utilité initiale N°		Date / / Date / /	
Transformation d'une demande de brevet européen Demande de brevet initiale		<input type="checkbox"/> N°	
		Date / /	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) CIRCUIT INTÉGRÉ MUNI D'UNE PROTECTION CONTRE LES DÉCHARGES ÉLECTROSTATIQUES			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation FR Date N° Pays ou organisation Date / / N° Pays ou organisation Date / / N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite" <input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"	
5 DEMANDEUR			
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN			
Code APE-NAF			
ADRESSE	Rue	7, Avenue Galliéni	
	Code postal et ville	94250	GENTILLY
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

Réservé à L'INPI

RÉMISE DES PIÈCES			
DATE 30 AOÛT 2000			
LIEU 38 INPI GRENOBLE			
N° D'ENREGISTREMENT			
NATIONAL ATTRIBUÉ PAR L'INPI 0011075			
Vos références pour ce dossier			
(facultatif) B4721			
6 MANDATAIRE			
Nom			
Prénom			
Cabinet ou Société		Cabinet Michel de Beaumont	
N° de pouvoir permanent et/ou de lien contractuel			
ADRESSE	Rue	1 Rue Champollion	
	Code postal et ville	38000	GRENOBLE
N° de téléphone (facultatif)		04.76.51.84.51	
N° de télécopie (facultatif)		04.76.44.62.54	
Adresse électronique (facultatif)		cab.beaumont@wanadoo.fr	
7 INVENTEUR (S)			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur (s) séparée	
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance		Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :	
Si vous avez utilisé l'imprimé "Suite", indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) Michel de Beaumont Mandataire n° 92-1016		VISA DE LA PREFECTURE OU DE L'INPI  D.R.G.R.	

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B4721	
N° D'ENREGISTREMENT NATIONAL		00 11075	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
CIRCUIT INTÉGRÉ MUNI D'UNE PROTECTION CONTRE LES DÉCHARGES ÉLECTROSTATIQUES			
LE(S) DEMANDEUR(S)			
STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Armand Castillejo	
ADRESSE	Rue	112, Cours Jean Jaurès	
	Code postal et ville	38000	GRENOBLE, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		Christophe Pinatel	
ADRESSE	Rue	17, Rue du Comillon	
	Code postal et ville	38120	LE FONTANIL, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		Frédéric Bossu	
ADRESSE	Rue	139, Rue des Alliés	
	Code postal et ville	38100	GRENOBLE, FRANCE
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Michel de Beaumont Mandataire n° 92-1016 Le 28 août 2000			



DÉPARTEMENT DES BREVETS
26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone 01 53 04 53 04 Télécopie 01 42 94 86 54

BREVET D'INVENTION,
CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI



DÉSIGNATION D'INVENTEUR(S) PAGE N°2/ 2

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B4721	
N° D'ENREGISTREMENT NATIONAL		0011075	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
CIRCUIT INTÉGRÉ MUNI D'UNE PROTECTION CONTRE LES DÉCHARGES ÉLECTROSTATIQUES			
LE(S) DEMANDEUR(S) STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Christophe Garnier	
ADRESSE	Rue	La Croix des Rameaux	
	Code postal et ville	38570	THEYS, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Michel de Beaumont Mandataire n° 92-1016 Le 28 août 2000			

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI

**CIRCUIT INTÉGRÉ MUNI D'UNE PROTECTION CONTRE LES DÉCHARGES
ÉLECTROSTATIQUES**

La présente invention concerne les circuits intégrés protégés contre les décharges électrostatiques (en anglais, Electrostatic Discharge ou ESD), et notamment de tels circuits prévus pour consommer peu en dehors de leurs phases de fonction-
5 nement.

De façon classique, un circuit intégré comprend des plots pour échanger des signaux avec l'extérieur et des blocs fonctionnels reliés à ces plots. De nombreux éléments de ces blocs fonctionnels, en particulier les transistors, peuvent être endom-
10 magés par des surtensions telles que des décharges électrostatiques introduites sur les plots par un opérateur lors de la manipulation du circuit.

La figure 1 représente schématiquement un circuit intégré 2. Le circuit 2 comprend un bloc fonctionnel 4 relié par un
15 noeud A à un plot de sortie 6. Les autres blocs fonctionnels et les autres plots du circuit n'ont pas été représentés. La protection du circuit 2 contre les décharges électrostatiques comprend un élément à conduction unidirectionnelle 8 disposé entre le plot 6 et une ligne d'alimentation 10 (VDD). La protection du circuit
20 comprend également un élément à conduction unidirectionnelle 12 disposé entre le plot 6 et une ligne de masse 14 (GND). Les

autres plots du circuit 2 sont connectés de la même manière par des éléments à conduction unidirectionnelle aux lignes 10 et 14.

L'élément 8 est conducteur dans le sens plot-ligne d'alimentation lorsque la tension sur le plot 6 dépasse la tension VDD d'une tension de seuil $VT1$. De même, l'élément 12 est conducteur dans le sens masse-plot lorsque la tension sur le plot 6 est inférieure d'une tension de seuil $VT2$ à la tension de la ligne 14.

La figure 2 illustre les variations de la tension V_S présente sur le plot 6 lors d'une surtension V_{ESD} due à une décharge électrostatique positive. La tension V_{ESD} augmente rapidement, par exemple en 10 ns, jusqu'à une tension élevée V_{MAX} , par exemple de l'ordre de 4000 V, puis décroît selon une courbe exponentielle.

En figure 2, les échelles n'ont pas été respectées pour des raisons de clarté. La tension V_S suit la courbe V_{ESD} tant que $V_{ESD} < VDD + VT1$. Lorsque la tension V_{ESD} dépasse la tension $VDD + VT1$, l'élément 8 est conducteur et connecte électriquement le plot 6 et la ligne 10. Un écrêteur (non représenté), disposé entre les lignes 10 et 14, devient conducteur et permet l'évacuation de l'énergie de la décharge électrostatique vers la masse. La tension V_S ne dépasse donc pas la valeur $VDD + VT1$. De manière similaire, lorsque le plot 6 est soumis à une surtension négative, la tension V_S ne dépasse pas la valeur $GND - VT2$. Par ailleurs, si la surtension a lieu entre un premier et un deuxième plot du circuit, l'évacuation des charges s'effectue d'un plot à l'autre par l'intermédiaire de l'élément à conduction unidirectionnelle 8 du premier plot, de l'écrêteur et de l'élément à conduction unidirectionnelle 12 du deuxième plot, ou inversement selon le signe de la surtension.

De façon classique, l'élément 8 est une diode, de même que l'élément 12. Les tensions de seuil $VT1$ et $VT2$ sont donc toutes deux égales à environ 0,6 V. Or, dans de nombreuses applications, il est souhaitable qu'un circuit intégré puisse fournir une tension de sortie V_S d'amplitude élevée, par exemple un ou

plusieurs volts. Avec le dispositif de protection qui vient d'être décrit, le circuit ne peut pas fournir sur le plot 6 une tension V_A supérieure à $V_{DD} + V_{T1}$ ou inférieure à $GND - V_{T2}$ sans qu'elle soit écrêtée. C'est pourquoi, dans les circuits intégrés,

5 on laisse généralement sans protection le ou les plots de sortie susceptibles de fournir un signal d'amplitude élevée, avec le risque de destruction par décharge électrostatique que cela comporte.

Dans la demande de brevet français FR-A-2782581, la

10 demanderesse a résolu le problème des surtensions positives en réalisant, entre un plot de sortie et la ligne d'alimentation positive V_{DD} , un élément à conduction unidirectionnelle dont la tension de seuil est supérieure à 0,6 V. Cet élément est réalisé en connectant en série N diodes, la tension de seuil totale étant

15 alors sensiblement égale à $N \times 0,6$ V.

Cependant, la réalisation de chaînes de diodes pour la protection contre les surtensions négatives pose problème. Pour l'élément 12, on ne pourra en pratique utiliser qu'une diode ou, si nécessaire, deux diodes en série.

20 Pour ne pas écrêter les tensions basses d'un signal de tension V_A produit par le bloc 4 avec une amplitude élevée, par exemple avec une excursion de deux fois la tension d'alimentation V_{DD} , classiquement égale à 3 V, une solution consiste à choisir une tension de seuil V_{T1} sensiblement égale à la tension V_{DD} et à

25 fournir depuis le bloc de sortie 4 un signal V_A dont la tension évolue entre GND (0 V) et la tension $V_{DD} + V_{T1}$ (6 V). Cette solution pose d'autres problèmes.

La figure 3 illustre les variations d'un tel signal V_A . La tension V_A est une sinusoïde de valeur moyenne égale à V_{DD} et

30 d'excursion $2\Delta V$, où $\Delta V < V_{T1}$, de part et d'autre de la tension V_{DD} . Le bloc 4 est relié à une charge 16, externe au circuit. On considère le cas où le bloc 4 comprend un étage amplificateur de sortie comprenant un transistor bipolaire 18 dont le collecteur est relié au noeud A et à la ligne d'alimentation 10 par une

35 impédance 20, dont l'émetteur est relié à la ligne de masse 14,

et dont la base reçoit le signal à amplifier. L'impédance en courant continu de l'inductance 20 est sensiblement nulle. Si la charge 16 présente une impédance en courant continu R_I peu élevée entre son entrée et la masse, un courant continu relativement important peut circuler entre la ligne d'alimentation 10 et la masse par l'intermédiaire de l'inductance 20 et de l'impédance R_I . A titre d'exemple, si l'impédance R_I est de $18\text{ k}\Omega$, la tension d'alimentation VDD étant de 3 V, le courant continu circulant dans R_I va être 0,16 mA environ. Un tel courant n'est pas acceptable en dehors des phases de fonctionnement du circuit. En effet, ce courant continu circule en permanence dans l'inductance 20 et l'impédance R_I , que le circuit 2 soit actif ou non. Cette surconsommation est particulièrement gênante dans un appareil alimenté par batterie. Par exemple, un circuit de téléphone cellulaire doit avoir, au repos, une consommation maximale de 5 μA .

Pour résoudre le problème de la surconsommation au repos, la demanderesse a cherché à placer un condensateur entre la charge 16 et le plot 6. Ce condensateur laisse passer le signal alternatif fourni par le bloc 4 et empêche le courant continu de circuler dans R_I . Un tel condensateur résout le problème. Toutefois, ce condensateur est un composant discret externe au circuit. Il est volumineux, coûteux, et s'oppose à la tendance constante visant une intégration maximale des composants.

La demanderesse a alors cherché à réaliser un condensateur sous forme intégrée entre le plot 6 et le bloc 4. Cependant, l'introduction d'un condensateur à cet endroit pose les problèmes suivants, décrits en relation avec les figures 4 et 5.

La figure 4 représente très schématiquement un circuit 2' semblable au circuit de la figure 1, dans lequel de mêmes références désignent de mêmes éléments, un condensateur C étant connecté entre le noeud A et le plot 6.

La figure 5 illustre les variations de la tension V_S sur le plot 6 du circuit de la figure 4 lorsque la tension V_A

suit la courbe de la figure 3. La liaison entre l'inductance 20 et l'impédance R_I étant coupée en courant continu par le condensateur C, aucun courant continu ne traverse l'impédance R_I . La composante continue de la tension V_G est donc nulle. La composante alternative de la tension V_G est la même que celle de la tension V_A et la tension V_G est une sinusoïde d'amplitude ΔV dont la valeur moyenne est nulle. On a vu précédemment que la tension VT2 est faible (de l'ordre de 0,6 V). Si l'amplitude ΔV est sensiblement égale à VDD, les alternances négatives de la tension V_G seront écrêtées.

Pour éviter cela, on peut recourir à la suppression de l'élément à conduction unidirectionnelle 12 des plots destinés à fournir des signaux ayant une forte amplitude. Cela présente l'inconvénient de diminuer la protection du circuit dont le ou les plots de sortie ne sont pas protégés contre les surtensions négatives.

Un objet de la présente invention est de prévoir un circuit intégré comportant une protection complète contre les décharges électrostatiques et qui puisse avoir une consommation réduite.

Un autre objet de la présente invention est de prévoir un tel circuit qui n'utilise aucun composant discret.

Pour atteindre ces objets, ainsi que d'autres, la présente invention prévoit un circuit intégré comprenant un plot de sortie, un bloc de sortie couplé au plot de sortie par l'intermédiaire d'un condensateur, un premier élément à conduction unidirectionnelle pour relier le plot à une ligne d'alimentation lorsque la tension sur le plot dépasse la tension de la ligne d'alimentation d'une première tension de seuil, un second élément à conduction unidirectionnelle pour relier le plot à la masse du circuit lorsque la tension sur le plot est inférieure à la tension de la masse d'une seconde tension de seuil, comprenant en outre une résistance couplée d'une part au plot de sortie et d'autre part à la ligne d'alimentation par l'intermédiaire d'un commutateur commandé à l'ouverture lorsque le circuit est au

repos et à la fermeture lorsque le circuit est dans un mode de fonctionnement normal.

Selon un mode de réalisation de la présente invention, la résistance a une valeur faible devant l'impédance en courant continu de la charge susceptible d'être reliée au plot et une
5 valeur forte devant l'impédance en courant alternatif de ladite charge.

Selon un mode de réalisation de la présente invention, le commutateur est un transistor MOS.

10 Selon un mode de réalisation de la présente invention, le premier élément à conduction unidirectionnelle est composé d'un groupe de diodes connectées en série.

Selon un mode de réalisation de la présente invention, le second élément à conduction unidirectionnelle comprend deux
15 diodes connectées en série.

Selon un mode de réalisation de la présente invention, le bloc de sortie comprend un transistor bipolaire dont le collecteur est relié au condensateur, dont l'émetteur est relié à la masse, et dont la base reçoit le signal à amplifier, et une
20 inductance reliée entre le collecteur du transistor bipolaire et la ligne d'alimentation.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers
25 faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, décrite précédemment, représente schématiquement un circuit intégré classique muni d'une protection contre les décharges électrostatiques ;

30 la figure 2, décrite précédemment, illustre le fonctionnement de la protection contre les décharges électrostatiques du circuit de la figure 1 ;

la figure 3, décrite précédemment, illustre les variations de tension d'un signal fourni par le circuit de la figure 1 ;

la figure 4, décrite précédemment, représente schématiquement un circuit intégré muni d'un condensateur ;

la figure 5, décrite précédemment, illustre les variations de tension d'un signal fourni par le circuit de la figure 4 ;

5 la figure 6 représente schématiquement un circuit intégré selon la présente invention ; et

la figure 7 illustre les variations de tension d'un signal fourni par le circuit de la figure 6.

10 Dans les figures, de mêmes références désignent de mêmes éléments. Pour des raisons de clarté, seul les éléments nécessaires à la compréhension de la présente invention ont été représentés.

La figure 6 représente schématiquement un circuit intégré 2" selon la présente invention. Le circuit comprend un bloc
15 de sortie 4 relié à un plot de sortie 6 par l'intermédiaire d'un condensateur C. Le plot 6 est relié à une ligne d'alimentation 10 (VDD) et à une ligne de masse 14 (GND) par l'intermédiaire d'éléments à conduction unidirectionnelle, respectivement 8 et 12. Une charge 16, externe au circuit, est couplée au plot 6. La charge
20 16 est par exemple un filtre de type à ondes acoustiques de surface (surface acoustic wave ou SAW), couplé à une antenne.

Selon la présente invention, une première borne d'une résistance 24 est reliée au plot 6. La seconde borne de la résistance 24 est couplée à la ligne 10 par l'intermédiaire d'un
25 transistor MOS 26.

Lorsque le circuit est dans un mode de fonctionnement normal, le transistor 26 est rendu passant et un courant continu circule entre la ligne 10 et la masse par l'intermédiaire du transistor 26, passant, de la résistance 24 et de l'impédance R_I
30 en courant continu de la charge 16. Le transistor 26 présente dans ce cas une chute de tension V_{ON} à ses bornes. La valeur de la résistance 24 est choisie faible devant la valeur de l'impédance R_I , de manière que la chute de tension dans la résistance 24 est faible devant la chute de tension dans l'impédance R_I .
35 Ainsi, la composante continue de la tension V_S du plot 6 est

sensiblement égale à $V_{DD} - V_{ON}$. De manière classique, la tension V_{ON} est de l'ordre de 1 V.

La valeur de la résistance 24 est aussi choisie très supérieure à l'impédance en courant alternatif (non représentée) de la charge 16. De cette manière, une faible portion seulement du signal alternatif fourni par le bloc 4 traverse la résistance 24 et le transistor 26. A titre d'exemple, l'impédance en courant alternatif de la charge 16 a une valeur de 50Ω . Si la résistance 24 a une valeur égale à environ $1 k\Omega$, la résistance 24 et le transistor 26 ne détournent qu'un vingtième environ du courant du signal alternatif fourni par le bloc 4 au plot 6.

Une résistance 24 ayant une telle valeur occupe une faible surface du circuit intégré. D'autre part, le transistor 26 qui, lorsqu'il est passant, sert à élever la tension de la composante continue de la tension V_S , peut être un transistor occupant aussi une faible surface. Il en résulte que le dispositif formé par la résistance 24 et le transistor 26 est peu encombrant. En outre, le dispositif formé par la résistance 24 et le transistor 26 ne perturbe pas le fonctionnement du circuit 2, en particulier si le circuit 2 travaille dans la gamme de fréquences RF.

La figure 7 illustre schématiquement les variations de la tension V_S de sortie du circuit de la figure 6 en mode de fonctionnement normal, pour une tension V_A qui suit la courbe de la figure 3. La tension V_S est une sinusoïde dont la valeur moyenne est, comme on l'a vu précédemment, égale à $V_{DD} - V_{ON}$, c'est-à-dire environ 2V pour $V_{ON} = 1$ V. Les composantes alternatives des tensions V_A et V_S sont égales, avec une amplitude de ΔV . La valeur minimale atteinte par la valeur V_S est égale à $V_{DD} - V_{ON} - \Delta V$. Si ΔV est proche de V_{DD} , la valeur minimale de V_S est égale à $-V_{ON}$. Selon la présente invention, on choisit la tension V_{T2} de manière que $V_{T2} > V_{ON}$. Ainsi, la tension V_S reste toujours supérieure à $GND - V_{T2}$, et le signal produit par le bloc 4 ne sera pas écrêté.

Selon la présente invention, lorsque le circuit est au repos, c'est-à-dire en dehors des phases de fonctionnement, le

transistor 26 est bloqué. Le condensateur C isole la charge 16 de la ligne d'alimentation 10 et aucun courant continu ne circule dans la charge 16. La consommation du circuit est alors minimale.

Selon un mode de réalisation de la présente invention,
5 le dispositif à conduction unidirectionnelle 8 comprend un groupe de diodes en série, par exemple cinq diodes ayant chacune une tension de seuil de 0.6 V pour obtenir une tension de seuil VT1 proche de 3 V.

Le dispositif à conduction unidirectionnelle 12 pourra
10 comprendre deux diodes connectées en série, chaque diode ayant une tension de seuil de 0.6 V.

Ainsi, selon la présente invention, on réalise un circuit intégré muni d'une protection complète contre les décharges électrostatiques, qui consomme peu au repos et qui, dans un mode
15 de fonctionnement normal, peut fournir des signaux ayant une amplitude élevée et qui ne sont pas écrêtés par le dispositif de protection contre les décharges électrostatiques.

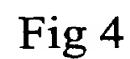
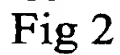
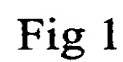
Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme du
20 métier. Notamment, on a décrit un bloc de sortie 4 dont l'étage de sortie comprend un amplificateur comportant un transistor bipolaire et une inductance, mais la présente invention s'applique à tout circuit ou étage de sortie d'un circuit intégré nécessitant l'usage d'un plot à grande dynamique négative.

REVENDICATIONS

1. Circuit intégré comprenant :
 un plot de sortie (6),
 un bloc de sortie (4) couplé au plot de sortie par
 l'intermédiaire d'un condensateur (C),
 5 un premier élément à conduction unidirectionnelle (8)
 pour relier le plot à une ligne d'alimentation (10) lorsque la
 tension sur le plot dépasse la tension de la ligne d'alimentation
 (VDD) d'une première tension de seuil (VT1),
 un second élément à conduction unidirectionnelle (12)
 10 pour relier le plot à la masse (14) du circuit lorsque la tension
 sur le plot est inférieure à la tension de la masse (GND) d'une
 seconde tension de seuil (VT2),
 caractérisé en ce qu'il comprend en outre
 une résistance (24) couplée d'une part au plot de sortie
 15 et d'autre part à la ligne d'alimentation par l'intermédiaire
 d'un commutateur (26) commandé à l'ouverture lorsque le circuit
 est au repos et à la fermeture lorsque le circuit est dans un
 mode de fonctionnement normal.
2. Circuit selon la revendication 1, dans lequel la
 20 résistance (24) a une valeur faible devant l'impédance en courant
 continu (R_I) de la charge (16) susceptible d'être reliée au plot
 et une valeur forte devant l'impédance en courant alternatif de
 ladite charge (16).
3. Circuit selon la revendication 1, dans lequel le
 25 commutateur (26) est un transistor MOS.
4. Circuit selon l'une quelconque des revendications
 précédentes, dans lequel le premier élément à conduction unidi-
 rectionnelle (8) est composé d'un groupe de diodes connectées en
 série.
- 30 5. Circuit selon l'une quelconque des revendications
 précédentes, dans lequel le second élément à conduction unidirec-
 tionnelle (12) comprend deux diodes connectées en série.
6. Circuit selon l'une quelconque des revendications
 précédentes, dans lequel le bloc de sortie (4) comprend :

un transistor bipolaire (18) dont le collecteur est relié au condensateur (C), dont l'émetteur est relié à la masse, et dont la base reçoit le signal à amplifier, et

une inductance (20) reliée entre le collecteur du transistor bipolaire et la ligne d'alimentation.



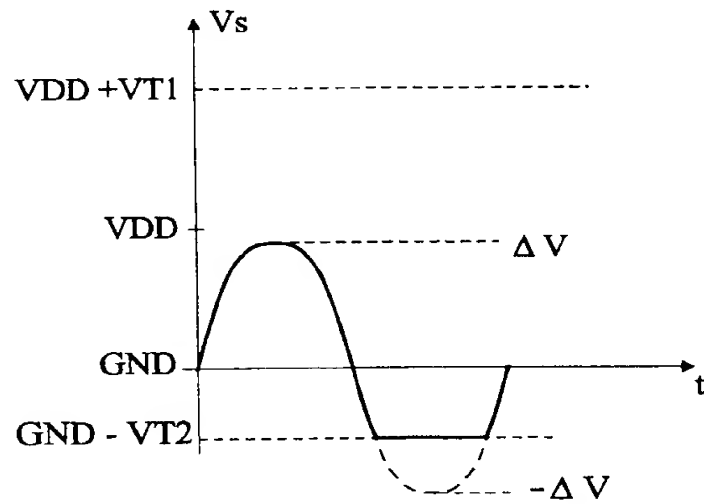


Fig 5

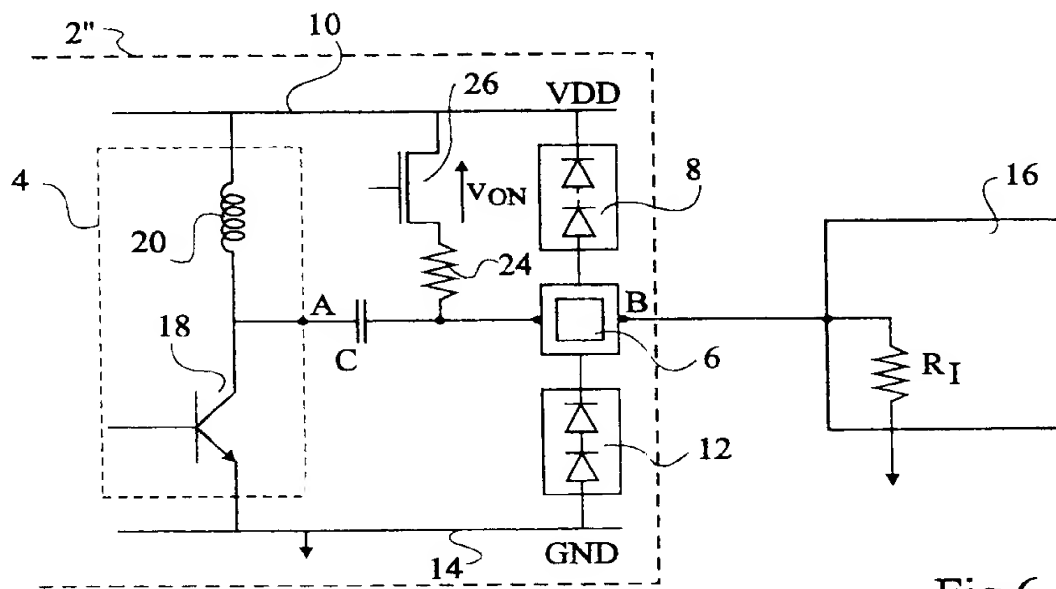


Fig 6

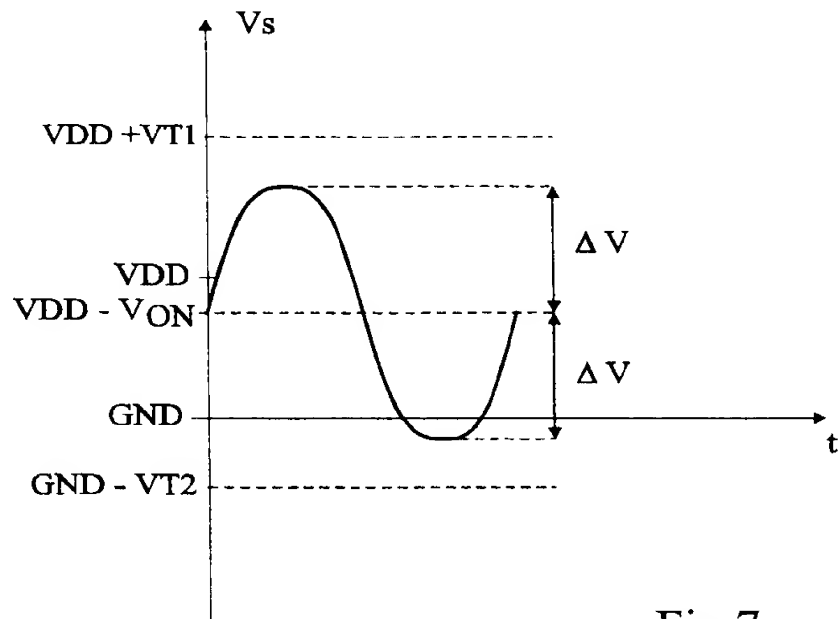


Fig 7